

(1) Japanese Patent Application Laid-Open No. 8-228145 (1996)

“Low-Voltage SOI Type Logic Circuit”

The following is the translation of the structure in the front page:

5

In low voltage SOI type logic circuit, a body of MOSFET for a logic circuit is brought into a floating state to set a low threshold voltage and a body of MOSFET for power switch is biased by a power supply voltage to set a high threshold voltage.

# BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-228145

(43) 公開日 平成8年(1996)9月3日

| (5) Int. Cl. | 特許番号        | 特許番号       | 特許番号 |
|--------------|-------------|------------|------|
| H03K 19/0948 | H03K 19/094 | F I        | B    |
| H01L 27/04   | H01L 27/08  | H01L 27/04 | 331E |
| 21/822       | 27/04       | 27/04      | D    |
| 27/08        | 29/78       | 29/78      | 6132 |
| 29/788       | 331         |            |      |

審査請求 未請求 請求項の数10 OL (全10頁)

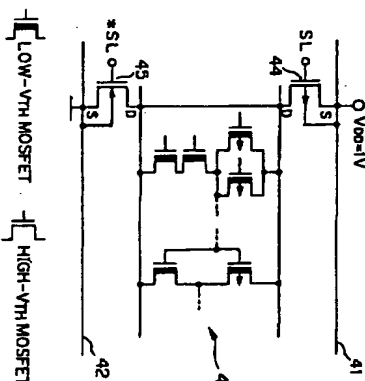
|              |                 |             |   |
|--------------|-----------------|-------------|---|
| (21) 出願番号    | 特開平7-157647     | (71) 出願人    | 00004228<br>日本電信電話株式会社<br>東京都新宿区西新宿三丁目19番2号<br>通関 国<br>東京都千代田区千代田1丁目1番6号 日<br>本電信電話株式会社内<br>(74) 代理人 弁理士 谷 健一 (外1名) |
| (22) 出願日     | 平成7年(1995)6月23日 | (72) 発明者    | 東京千代田区千代田1丁目1番6号 日<br>本電信電話株式会社内<br>(74) 代理人 弁理士 谷 健一 (外1名)   |
| (31) 優先権主張番号 | 平6(1994)6月28日   | (32) 優先日    | 平6(1994)12月20日  |
| (33) 優先権主張国  | 日本 (JP)         | (34) 優先権主張国 | 日本 (JP)   |

(54) 発明の名称 低電圧SOI型論理回路

(57) 【要約】

【構成】 電圧スイッチ用のSOI型MOSFET (4, 4, 45) と、SOI型MOSFETから構成される論理回路 (43) とを、直列接続したSOI型論理回路。論理回路のMOSFETのゲート部をフローティング状態として、低しきい値電圧のMOSFETとするとともに、電圧スイッチ用MOSFETのゲート部には電源電圧によるバイアスをかけて、高しきい値電圧のMOSFETとした。

【効果】 低しきい値電圧のMOSFETによって、論理回路の高速動作を可能とするとともに、高しきい値電圧の電圧スイッチ用MOSFETによって、待機時の消費電力の低減を図った。



【特許請求の範囲】

【請求項1】 第1の電源線と、第2の電源線と、ソースとゲート部が前記第1の電源線に接続されたSOI (Silicon On Insulator) 型の第1の電界効果トランジスタと、

ソースとゲート部が前記第2の電源線に接続されたSOI型の第2の電界効果トランジスタと、前記第1の電界効果トランジスタのドレインと前記第2の電界効果トランジスタのドレインとの間に接続された論理回路とを具備し、

前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのゲート部をフローティング状態とし、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートに供給される信号によって、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートとの間の接続をオン/オフすることを特徴とする低電圧SOI型論理回路。

【請求項2】 第1の電源線と、第2の電源線と、

ソースとゲート部が前記第1の電源線に接続され、ゲート部がゲートに接続されたSOI型の第1の電界効果トランジスタと、ソースとゲート部が前記第2の電源線に接続され、ゲート部がゲートに接続されたSOI型の第2の電界効果トランジスタと、前記第1の電界効果トランジスタのドレインと前記第2の電界効果トランジスタのドレインとの間に接続された論理回路とを具備し、

前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのゲート部をフローティング状態とし、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートに供給される信号によって、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートとの間の接続をオン/オフすることを特徴とする低電圧SOI型論理回路。

【請求項3】 前記論理回路を構成する電界効果トランジスタのゲート部の不純物濃度を調整して、該ゲート部を完全空乏化状態とするとともに、前記第1の電界効果トランジスタのゲート部の不純物濃度を調整して、該ゲート部を部分空乏化状態としたことを特徴とする請求項1または2に記載の低電圧SOI型論理回路。

【請求項4】 前記論理回路を構成する電界効果トランジスタのゲート部の不純物濃度を調整して、該ゲート部に形成される空乏層の厚さが、以下の式で与えられる空乏層幅W以上となるようにし、前記第1の電界効果トランジスタのゲート部および前記第2の電界効果トランジスタのゲート部の不純物濃度を調整し、該ゲート部に形成

される空乏層の厚さが、前記空乏層幅Wより小さくなるように設定したことを特徴とする請求項1または2に記載の低電圧SOI型論理回路。

【数1】  $W = (2\epsilon_0 \cdot 2\phi_1 / (q \cdot N_{eff}))^{1/2}$

ただし、 $\epsilon_0$  は、シリコン部の誘電率  
 $\phi_1$  は、シリコン部のフェルミポテンシャル  
 $q$  は、電子の電荷  
 $N_{eff}$  は、ゲート部の不純物濃度

【請求項5】 前記論理回路を構成する電界効果トランジスタのゲート部の厚さを100nm以下、その不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以下とし、該ゲート部を完全空乏化状態とするとともに、前記第1の電界効果トランジスタのゲート部および前記第2の電界効果トランジスタのゲート部の厚さを100nm以下、その不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ より大に設定して、該ゲート部を部分空乏化状態としたことを特徴とする請求項4に記載の低電圧SOI型論理回路。

【請求項6】 第1の電源線と、第2の電源線と、

ソースとゲート部が前記第1の電源線に接続されたSOI型の電圧スイッチ用電界効果トランジスタと、前記電圧スイッチ用電界効果トランジスタのドレインと前記第2の電圧スイッチ用電界効果トランジスタのドレインとの間に接続された論理回路とを具備し、

前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのゲート部をフローティング状態とし、前記電圧スイッチ用電界効果トランジスタのゲートに供給される信号によって、前記第1の電圧スイッチ用電界効果トランジスタのゲートと前記第2の電圧スイッチ用電界効果トランジスタのゲートとの間の接続をオン/オフすることを特徴とする低電圧SOI型論理回路。

【請求項7】 第1の電源線と、第2の電源線と、

ソースとゲート部が前記第1の電源線に接続され、ゲート部がゲートに接続されたSOI型の電圧スイッチ用電界効果トランジスタと、

前記電圧スイッチ用電界効果トランジスタのドレインと前記第2の電圧スイッチ用電界効果トランジスタのドレインとの間に接続された論理回路とを具備し、

前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのゲート部をフローティング状態とし、前記電圧スイッチ用電界効果トランジスタのゲートに供給される信号によって、前記第1の電圧スイッチ用電界効果トランジスタのゲートと前記第2の電圧スイッチ用電界効果トランジスタのゲートとの間の接続をオン/オフすることを特徴とする低電圧SOI型論理回路。

特開平8-228145

【請求項9】 前記論理回路を構成する電界効果トランジスタのホドイ部の不純物濃度を調整し、該ホドイ部に形成される空乏層の厚さが、以下の式で与えられる空乏層幅 $W$ 以上となるようにし、前記電界効果トランジスタの電界効果トランジスタのホドイ部の不純物濃度を調整し、該ホドイ部に形成される空乏層の厚さが、前記空乏層幅 $W$ より小さくなるように設定したことを特徴とする請求項6または7に記載の低電圧SOI型論理回路。

【数2】  $W = \{2\epsilon_0 \cdot 2\phi_i / (q \cdot N_{\text{sub}})\}^{1/2}$

ただし、 $\epsilon_0$ は、シリコン部の誘電率  
 $\phi_i$ は、シリコン部のフェルミポテンシャル  
 $q$ は、電子の電荷

$N_{\text{sub}}$ は、ホドイ部の不純物濃度

【請求項10】 前記論理回路を構成する電界効果トランジスタのホドイ部の厚さを $100\text{nm}$ 以下、その不純物濃度を $1 \times 10^{18}\text{cm}^{-3}$ 以下とし、該ホドイ部を完全空乏化状態とするともに、前記電界効果トランジスタの電界効果トランジスタのホドイ部の厚さを $100\text{nm}$ 以下、その不純物濃度を $1 \times 10^{18}\text{cm}^{-3}$ より大に設定して、該ホドイ部を部分空乏化状態としたことを特徴とする請求項9に記載の低電圧SOI型論理回路。

【発明の詳細な説明】  
【0001】

【産業上の利用分野】 この発明は、1Vの充電電圧で動作可能なSOI (Silicon on Insulator) 型の電界効果トランジスタを用いた低電圧SOI型論理回路に関する。

【0002】  
【従来の技術】 従来の低電圧論理回路として、図1に示すような回路が知られている。これは、パルプ型のCMOS回路を用いたもので、特開平6-29834号公報、または、S. Hatch, et al. "1V HIGH SPEED DIGITAL CIRCUIT TECHNOLOGY WITH 0.5 $\mu\text{m}$  MULTI-THRESHOLD CMOS", IEEE, 1993、186-189ページに記載された回路である。

【0003】 この回路は、高電位電極1に接続された電界効果トランジスタ用MOSFET4と、低電位電極2に接続された電界効果トランジスタ用MOSFET5との間に、CMOS論理回路3を接続した基本構成を有している。ここで、電界効果トランジスタ用MOSFET4および5は、高い値電圧のMOSFETであり、論理回路3は、低い値電圧のMOSFETから構成されている。

【0004】 高い値電圧の電界効果トランジスタ用MOSFET4および5のゲートには、スリープ信号SLと、その反転信号\*SLがそれぞれ供給され、論理回路3の待機時(スリープ時)には、信号SLが高レベルとされ、MOSFET4および5をオンとし、論理回路3の動作時には、スリープ信号SLが低レベルとされ、MOSFET4および5をオフとして、論理回路3に電源供給す

る。

【0005】 一般に、低い値電圧のMOSFETは、動作速度は遅いが待機時のリーク電流は大きく、逆に高い値電圧のMOSFETは、動作速度は速いが待機時のリーク電流は小さいという特性をもっている。したがって、図1の回路は、スリープ時には小さなリーク電流を維持しつつ、論理回路3の動作時には、高速動作を維持することが可能となる。

【0006】 ここで注目すべき点は、従来の低電圧論理回路では、論理回路3のMOSFETの各基板が、高電位電極1または低電位電極2にそれぞれ接続されている点である。これは、基板バイアスを印加することによって、パルプ型のCMOS回路で起こりやすいラッチアップによる誤動作を防止するためである。なお、上記Hatch, et al. の論文のFig. 1では、論理回路3のMOSFETの基板がどこにも接続されていないかのよう配されているが、これは表記上の便宜のためであり、実際には、これらのMOSFETの基板も、それぞれの電極に接続されている。

【0007】 このような構成をSOI型のCMOS論理回路に適用しようとして、素子面積が増大するという問題がある。以下、この点について説明する。

【0008】 図2は、従来のSOI型MOSFETの構造を示す断面図である。シリコン基板11上に埋込酸化膜12が形成され、その上には、単結晶シリコン層からなるアクティブ領域13が形成されている。このアクティブ領域13は、ソース131、ドレイン132、およびそれらに挟まれたホドイ部133からなっている。アクティブ領域13は、ゲート酸化膜14で覆われ、ゲート酸化膜14上にゲート電極15が形成されている。このゲート電極15に電圧を印加することによって、ホドイ部133の上部にチャネル部134が形成される。このように、アクティブ領域13は、ソース131、ドレイン132、およびホドイ部133からなり、ホドイ部133は、埋込酸化膜12によって、シリコン基板11から絶縁されている。

【0009】 図3 (A) は、パルプ型MOSFETの基板へのバイアスの印加方法を示し、図3 (B) は、SOI型MOSFETのホドイ部へのバイアスの印加方法を示す。図3 (A) に示すパルプ型MOSFETでは、基板内にN型のウェル20が形成され、その中にP型のソース21とドレイン22が形成されるとともに、ウェル20の上面にゲート酸化膜を介してゲート電極23が形成されている。また、ウェル20内には、バイアス用N<sup>+</sup>領域24が形成され、コンタクト25を通して、シリコン上部から電位が印加できるようにしている。

【0010】 一方、図3 (B) に示すSOI型MOSFETは、図2に示すように、ホドイ部133がシリコン基板11から絶縁されているために、接続部34Aによって、ホドイ部133をバイアス用領域34に接続

し、そこにコンタクト35を形成する構造にしなければならなかった。

【0011】 この結果、SOI型MOSFETでは、パルプ型MOSFETと比較して、バイアス用領域が増大し、その分だけ占有面積が増大するという欠点があった。特に、論理回路3を構成するMOSFETのサイラスの増大は、回路面積の増大をきたし、集積度を低下せるという問題があった。

【0012】

【発明が解決しようとする課題】 そこで、本発明の目的は、高速動作および素子面積が可能な低電圧SOI型論理回路を提供することである。

【0013】

【課題を解決するための手段】 本発明は、第1の電源線と、第2の電源線と、ソースとホドイ部が前記第1の電源線に接続されたSOI (Silicon On Insulator) 型の第1の電界効果トランジスタと、ソースとホドイ部が前記第2の電源線に接続されたSOI型の第2の電界効果トランジスタと、前記第1の電界効果トランジスタのドレインと前記第2の電界効果トランジスタのドレインとの間に接続された論理回路とを具備し、前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのホドイ部をフローティング状態とし、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートに供給される信号によって、前記第1の電源線と前記第2の電源線と前記論理回路、および前記第2の電源線と前記論理回路との間の接続をオン/オフすることを特徴とする。

【0014】 また、本発明は、第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ホドイ部がゲートに接続されたSOI型の第1の電界効果トランジスタと、ソースが前記第2の電源線に接続され、ホドイ部がゲートに接続されたSOI型の第2の電界効果トランジスタと、前記第1の電界効果トランジスタのドレインと前記第2の電界効果トランジスタのドレインとの間に接続された論理回路とを具備し、前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのホドイ部をフローティング状態とし、前記第1の電源線と前記第2の電源線と前記論理回路、および前記第2の電源線と前記論理回路との間の接続をオン/オフすることを特徴とする。

【0015】 また、本発明は、前記論理回路を構成する電界効果トランジスタのホドイ部の不純物濃度を調整して、該ホドイ部に形成される空乏層の厚さが、以下の式で与えられる空乏層幅 $W$ 以上となるようにし、前記第1の電界効果トランジスタのホドイ部および前記第2の電界効果トランジスタのホドイ部の不純物濃度を調整し、該ホドイ部に形成される空乏層の厚さが、前記空乏層幅 $W$ より小さくなるように設定したことを特徴とする。

【0016】 また、本発明は、前記論理回路を構成する電界効果トランジスタのホドイ部の不純物濃度を調整し、該ホドイ部に形成される空乏層の厚さが、以下の式で与えられる空乏層幅 $W$ 以上となるようにし、前記第1の電界効果トランジスタのホドイ部および前記第2の電界効果トランジスタのホドイ部の不純物濃度を調整し、該ホドイ部に形成される空乏層の厚さが、前記空乏層幅 $W$ より小さくなるように設定したことを特徴とする。

【数3】  $W = \{2\epsilon_0 \cdot 2\phi_i / (q \cdot N_{\text{sub}})\}^{1/2}$

ただし、 $\epsilon_0$ は、シリコン部の誘電率  
 $\phi_i$ は、シリコン部のフェルミポテンシャル  
 $q$ は、電子の電荷

$N_{\text{sub}}$ は、ホドイ部の不純物濃度  
また、本発明は、前記論理回路を構成する電界効果トランジスタのホドイ部の厚さを $100\text{nm}$ 以下、その不純物濃度を $1 \times 10^{18}\text{cm}^{-3}$ 以下とし、該ホドイ部を完全空乏化状態とするとともに、前記第1の電界効果トランジスタのホドイ部および前記第2の電界効果トランジスタのホドイ部の厚さを $100\text{nm}$ 以下、その不純物濃度を $1 \times 10^{18}\text{cm}^{-3}$ より大に設定して、該ホドイ部を部分空乏化状態としたことを特徴とする。

【0018】 また、本発明は、第1の電源線と、第2の電源線と、ソースとホドイ部が前記第1の電源線に接続されたSOI型の電界効果トランジスタのドレインと前記第2の電源線との間に接続された論理回路とを具備し、前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのホドイ部をフローティング状態とし、前記第1の電源線と前記第2の電源線と前記論理回路、および前記第2の電源線と前記論理回路との間の接続をオン/オフすることを特徴とする。

【0019】 また、本発明は、第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ホドイ部がゲートに接続されたSOI型の電界効果トランジスタと、ソースが前記第2の電源線に接続され、ホドイ部がゲートに接続されたSOI型の電界効果トランジスタと、前記第1の電界効果トランジスタのドレインと前記第2の電界効果トランジスタのドレインとの間に接続された論理回路とを具備し、前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのホドイ部をフローティング状態とし、前記第1の電源線と前記第2の電源線と前記論理回路、および前記第2の電源線と前記論理回路との間の接続をオン/オフすることを特徴とする。

【0020】 また、本発明は、前記論理回路を構成する電界効果トランジスタのホドイ部の不純物濃度を調整して、該ホドイ部に形成される空乏層の厚さが、以下の式で与えられる空乏層幅 $W$ 以上となるようにし、前記第1の電界効果トランジスタのホドイ部および前記第2の電界効果トランジスタのホドイ部の不純物濃度を調整し、該ホドイ部に形成される空乏層の厚さが、前記空乏層幅 $W$ より小さくなるように設定したことを特徴とする。

【0021】また、本発明は、前記施理回路を構成する電界効果トランジスタのボダイ部の不純物濃度を調整し、該ボダイ部に形成される空乏層の厚さが、以下の式で与えられる空乏層幅 $W$ 以上となるようにし、前記電界効果トランジスタのボダイ部の不純物濃度を調整し、該ボダイ部に形成される空乏層の厚さが、前記空乏層幅 $W$ より小さくなるように設定したことを特徴とする。

【0022】

【数4】  $W = \{2\epsilon_{si} \cdot 2\phi_1 / (q \cdot N_{inj})\}^{1/2}$   
ただし、 $\epsilon_{si}$ は、シリコン部の誘電率  
 $\phi_1$ は、シリコン部のフェルミポテンシャル  
 $q$ は、電子の電荷  
 $N_{inj}$ は、ボダイ部の不純物濃度

また、本発明は、前記施理回路を構成する電界効果トランジスタのボダイ部の厚さを $1.00\text{nm}$ 以下、その不純物濃度を $1 \times 10^{18}\text{cm}^{-3}$ 以下とし、該ボダイ部を完全空乏化状態とするとともに、前記電界効果トランジスタのボダイ部の厚さを $1.00\text{nm}$ 以下、その不純物濃度を $1 \times 10^{18}\text{cm}^{-3}$ より大に設定して、該ボダイ部を部分空乏化状態としたことを特徴とする。

【0023】

【作用】本発明は、施理回路用のSOI型MOSFETのボダイ部をフローティング状態とした点を特徴とする。これによって、施理回路を構成するMOSFETにおいては、従来必要であったバイアス用領域および接続部が不要となり、素子面積の増大を防ぐことができる。また、ボダイ部をフローティング状態としたNMOSFET (PMOSFET) では、シリコンからボダイ部へ正孔(電子)が流入して(イオン化)、ボダイ部の電圧が上がり(下がり)、ボダイ部とソースとの間の電圧の絶対値が大きくなるため、しきい値電圧が下がり、施理回路素子の低電圧化を図ることができるといふ利点も得られる。

【0024】また、電源スイッチ用MOSFETでは、高いしきい値電圧を実現するために、バイアス用領域と接続部が必要であるが、このMOSFETは、施理回路プロセスの両側(または片側)にのみ配置すればよく、施理回路用MOSFETと比較して使用面積が小さくてもよいので、回路全体の面積への影響はほとんど無視できる。

【0025】さらに、MOSFETのボダイ部の不純物濃度を調整することによって、そのしきい値電圧を正確に設定することができる。すなわち、施理回路用の低いしきい値電圧MOSFETでは、フローティング状態とし、該ボダイ部の不純物濃度を減らして、完全空乏化状態とすることによって、低いしきい値電圧を高精度で実現することができるとともに、電源スイッチ用のMOSFETでは、電圧にバイアスしたボダイ部の不純物濃度を増やして、ボダイ部を部分空乏化状態にすることによって、

高いしきい値電圧を正確に設定することができる。

【0026】また、電源スイッチ用MOSFETのボダイ部をゲートに接続して、ゲート電圧でバイアスすれば、このMOSFETのしきい値電圧特性を、漸進的に高いしきい値電圧、導通時には低いしきい値電圧と、自動的に切り替えることができる。すなわち、可変しきい値電圧によって、より有利な電圧制御を実現することができる。

【0027】

【実施例】以下、図面を参照して、本発明の実施例を説明する。

【0028】実施例1

図4は、本発明による低電圧SOI型施理回路の第一実施例の構成を示す回路図である。

【0029】図において、符号41は高電位電源線、42は低電位電源線である。高電位電源線41は、電源スイッチ用PMOSFET 44のソース端子に接続され、低電位電源線42は、電源スイッチ用NMOSFET 45のソース端子に接続されている。また、MOSFET 44のドレイン端子は、施理回路群43の高電位端子に接続され、MOSFET 45のドレイン端子は、施理回路群43の低電位端子に接続されている。言い換えれば、MOSFET 44、施理回路群43およびMOSFET 45が直列接続され、MOSFET 44および45を介して、施理回路群43に電源が供給される構成となっている。また、MOSFET 44のゲート端子には、スリープ信号SLが加えられ、MOSFET 45のゲート端子には、その反転信号 $\overline{\text{SL}}$ が加えられている。これらの信号は、電源スイッチ用MOSFET 44および45をオン/オフ制御するための信号であり、施理回路群43のスリープ時に、MOSFET 44および45をオフにして、施理回路群43の動作時に、MOSFET 44および45をオンとする。

【0030】この実施例の特徴は、施理回路群43を構成する、すべてのMOSFETのボダイ部がフローティング状態に設定されていることである。すなわち、これらのMOSFETのボダイ部には、バイアスがかけられていない。一方、電源スイッチ用MOSFET 44および45のボダイ部にはバイアスした高電位電源線41に接続されたMOSFET 44のボダイ部が低電位電源線42に接続されている。

【0031】図5 (A) および図5 (B) は、MOSFETのボダイ部にバイアスをかけたときと、かけなかったときとの、しきい値電圧の変化を示すグラフである。横軸はゲート-ソース間電圧 $V_{gs}$ を示し、縦軸はドレイン電流 $I_d$ を対数スケールで示している。 $V_{th}$  および $V_{th0}$  は、しきい値電圧である。図から明らかなように、ボダイ部にバイアスをかけないときには、しきい値電圧が下がる。この理由については前述した。このように、

SOI型MOSFETでは、その製作プロセスにおいて、特別なしきい値電圧調整用のマスクを用いなくとも、ボダイ部をバイアスするか否かによって、高いしきい値電圧のMOSFETと、低いしきい値電圧のMOSFETとを実現することができる。

【0032】本実施例では、さらに、ボダイ部の不純物濃度をコントロールすることによって、高精度のしきい値電圧の調整を行っている。以下、この点を詳細に説明する。

【0033】図6 (A) は、施理回路群43用MOSFETの構造を示す断面図であり、図6 (B) は、電源スイッチ用MOSFET 44および45の構造を示す断面図である。これらの図から分かるように、施理回路群43用MOSFETのボダイ部133Aは、その空乏層幅 $W$ がボダイ部の厚さ以上に設定されている。すなわち、

$$W = \{2\epsilon_{si} \cdot 2\phi_1 / (q \cdot N_{inj})\}^{1/2}$$

ただし、 $\epsilon_{si}$ はシリコンの誘電率、 $\phi_1$ はシリコンのフェルミポテンシャル  
 $q$ は電子の電荷量  
 $N_{inj}$ はボダイ部の不純物濃度  
 $\phi_1 = (kT/q) \ln(N_{inj}/n_i)$   
ただし、 $k$ はボルツマン定数  
 $T$ はボダイ部の絶対温度  
 $n_i$ はシリコンの真性キャリア密度

である。また、 $1n$ は自然対数を表す。  
【0037】アクリノ領域133の厚さを $t_{in}$ とし、空乏層幅 $W$ を、この厚厚 $t_{in}$ よりも大きくした場合は、ボダイ部133Aは、完全空乏化状態となる。この状態

$$V_{th} = V_{th0} + 2\phi_1 + (2\epsilon_{si} \cdot 2\phi_1 / q \cdot n \cdot N_{inj})^{1/2} / C_{ox}$$

ただし、 $V_{th0}$ はフラットバンド電圧  
 $C_{ox}$ はゲート酸化膜14による容量である。  
【0040】上記(1) - (3)式から、施理回路用MOSFETのボダイ部133Aを完全空乏化状態にするためには、アクリノ領域133の厚厚 $t_{in}$ を $1.00\text{nm}$ 、ゲート酸化膜14の厚厚 $t_{ox}$ を $7\text{nm}$ (これによる $C_{ox} = 0.49\mu\text{F}/\text{cm}^2$ )、ボダイ部133Aの不純物濃度 $N_{inj}$ を $8 \times 10^{18}\text{cm}^{-3}$ (このとき $V_{th} = -0.9\text{V}$ 、 $2\phi_1 = +0.8\text{V}$ )に設定すればよい。このとき、しきい値電圧は、図7に示すように、 $0.2\text{V}$ 程度になり、低いしきい値電圧のMOSFETを実現することができ、なお、図7から分かるように、不純物濃度を減らして空乏層幅を増大することによって、しきい値電圧は低下する。

【0041】こうして、施理回路用MOSFETのボダイ部133Aの完全空乏化状態が実現できるが、アクリノ領域133の厚厚 $t_{in}$ が $1.00\text{nm}$ のときは、不純物濃度 $N_{inj}$ は、 $1 \times 10^{18}\text{cm}^{-3}$ 以下が好ましい。

【0042】一方、ボダイ部133Bがバイアスされた電源スイッチ用MOSFET 44および45では、ボダイ部133Aは、完全空乏化状態にされている。一方、電源スイッチ用MOSFETのボダイ部133Bは、その空乏層幅 $W$ がボダイ部の厚さより小さくされている。すなわち、ボダイ部133Bは、部分空乏化状態にされている。一般に、空乏層幅 $W$ が大きいほど低電圧でチャネルが形成されるから、しきい値電圧が下がる。したがって、施理回路群用MOSFETのしきい値電圧は、所望の低いしきい値電圧に高精度で設定され、電源スイッチ用MOSFETのしきい値電圧は、高いしきい値電圧に高精度で設定される。

【0034】図6 (A) および図6 (B) に示したMOSFETでは、空乏層幅 $W$ は、次の式で与えられる。  
【0036】  
【数5】  
【数6】

$$(1) \quad W = \{2\epsilon_{si} \cdot 2\phi_1 / (q \cdot N_{inj})\}^{1/2}$$

$$(2) \quad W = \{2\epsilon_{si} \cdot 2\phi_1 / (q \cdot n \cdot N_{inj})\}^{1/2} / C_{ox}$$

である。また、フェルミポテンシャル $\phi_1$ は、次式で与えられる。  
【0038】一方、MOSFETのしきい値電圧 $V_{th}$ は、次の近似式で与えられる。  
【0039】  
【数7】

ボダイ部133Bを部分空乏化状態とする。たとえば、ボダイ部133Bの不純物濃度 $N_{inj}$ を、 $4 \times 10^{18}\text{cm}^{-3}$ に設定すると、空乏層幅 $W = 5.4\text{nm}$ となり、図6 (B) に示すように、ボダイ部133Bを部分空乏化状態とすることができ、このとき、 $V_{th} = -1.0\text{V}$ 、 $2\phi_1 = +0.9\text{V}$ となり、しきい値電圧が $0.6\text{V}$ 程度の高いしきい値電圧のMOSFETを実現することができる。なお、アクリノ領域133の厚厚 $t_{in}$  およびゲート酸化膜14の厚厚 $t_{ox}$ は施理回路用MOSFETのものと同じに設定される。ボダイ部133Bの不純物濃度 $N_{inj}$ は、 $1 \times 10^{18}\text{cm}^{-3}$ 以上が好ましい。

【0043】こうして、電源スイッチ用MOSFET 44および45のボダイ部133Bを部分空乏化状態とする。この部分空乏化されたボダイ部133Bは、バイアス用領域を介して高電位電源線41と低電位電源線42にそれぞれ接続される。このため、しきい値電圧の変動は、従来のパルス型MOSFETと同程度に小さくできる。この結果、電源スイッチ用MOSFET 44および45のオン抵抗のばらつきを小さくでき、施理回路群43に安定した電源電圧を供給することができ、

## 【0044】実施例2

図8は、本発明による低電圧SOI型論理回路の第2実施例の構成を示す回路図である。

【0045】この実施例が第1実施例と異なる点は、電源スイッチ用MOSFET 44および45のボダイ部133Bをゲート電極15に接続した点である。

【0046】この構成によれば、論理回路回路群43のスイッチ時には、MOSFET 44および45のしきい値電圧を上げ、リーク電流を低下し、その動作時には、MOSFET 44および45のしきい値電圧を下げて、論理回路群43への供給電圧を上げることができる。

【0047】図9 (A) および図9 (B) は、その理由を説明するためのグラフである。これらのグラフにおいて、横軸はゲート・ソース間電圧 $V_{gs}$ であり、縦軸はしきい値電圧 $V_{th}$ である。これらの図から分かるように、ゲート・ソース間電圧 $V_{gs}$ の絶対値が増加すると、MOSFETのしきい値電圧 $V_{th}$ の絶対値が減少する。本実施例2は、この特性を利用したものである。

【0048】まず、スイッチ時には、PMOSFET 44のゲートに高レベルの信号SL (1V) が供給され、NMOSFET 45のゲートに低レベルの信号\*SL (0V) が加えられる。このとき、PMOSFET 44のゲート・ソース間電圧 $V_{gs}$ も、NMOSFET 45のゲート・ソース間電圧 $V_{gs}$ も、低電圧 (0V) となる。すなわち、しきい値電圧 $V_{th}$ は高くなる。

【0049】逆に、論理回路群43の動作時には、PMOSFET 44のゲートに低レベルの信号SL (0V) が供給され、NMOSFET 45のゲートに高レベルの信号\*SL (1V) が加えられる。このとき、PMOSFET 44のゲート・ソース間電圧 $V_{gs}$ も、NMOSFET 45のゲート・ソース間電圧 $V_{gs}$ も、高電圧 (1V) となる。すなわち、しきい値電圧 $V_{th}$ は低くなる。

【0050】この結果、スイッチ時には、MOSFET 44および45のオン抵抗が増して、リーク電流を低い値に抑えることができ、論理回路群43の動作時には、MOSFET 44および45のオン抵抗が減少し、論理回路群43への供給電圧を増すことができる。

【0051】なお、上記各実施例では、高電圧側にも低電圧側にも電源スイッチ用のMOSFETを設けたが、その一方のみでも、ほぼ同様の作用効果をあげることができる。たとえば、低電圧側のMOSFET 45を除いた場合は、論理回路群43の低電圧端子を、低電圧電極42に直接接続すればよい。

【0052】図10は、論理回路を構成するMOSFETのボダイ部をゲート電極に接続した構成を示す従来技術であり、T. Andoh, et al., "Design Methodology for Low-Voltage MOSFETs", 1994, IEEE, 79-82 ページに記載されたものである。本実施例がこの従来技術と異なる点は、ボダイ部がゲート電極に接続されたMOSFETを、従来技術では、論理回路用MOSFETとして用い

ているのに対して、本発明では、電源スイッチ用MOSFETとして利用している点である。ボダイ部がゲート電極に接続されたMOSFETは、ボダイ部からゲート電極への接続部を設けねばならないために、素子占有面積が増加するとともに、入力容量が増加するため、ボダイ部をフローティング状態とした素子よりも、動作速度が遅く、論理回路用としては適していない。本実施例では、このようなMOSFETを、論理素子よりも動作速度が遅くて済み、かつ使用個数が少ない、電源スイッチ用素子として用いているため、このような欠点による悪影響をまねがれることができる。

## 【0053】

【発明の効果】以上説明したように、本発明によれば、高速動作および高集積可能な低電圧SOI型論理回路を提供することができる。

【図面の簡単な説明】

【図1】従来の低電圧CMOS論理回路の一例を示す回路図である。

【図2】SOI型MOSFETの一般構造を示す断面図である。

【図3】(A) は従来のバルク型MOSFETの基板バイアス構造を示す平面図、(B) は従来のSOI型MOSFETのボダイ部バイアス構造を示す平面図である。

【図4】本発明による低電圧SOI型論理回路の第1実施例の構成を示す回路図である。

【図5】(A) は、第1実施例において、MOSFETのボダイ部にバイアスをかけたときの、ソース・ゲート間電圧対ドレイン電流特性、およびしきい値電圧を示すグラフ、(B) は第1実施例において、MOSFETのボダイ部にバイアスをかけないときの、ソース・ゲート間電圧対ドレイン電流特性、およびしきい値電圧を示すグラフである。

【図6】(A) は第1実施例で用いた論理回路用低しきい値電圧のSOI型MOSFETの構造を示す断面図、(B) は第1実施例で用いた電源スイッチ用高しきい値電圧のSOI型MOSFETの構造を示す断面図である。

【図7】ボダイ部の不純物濃度対しきい値電圧の関係を示すグラフである。

【図8】本発明による低電圧SOI型論理回路の第2実施例の構成を示す回路図である。

【図9】(A) はNMOSFETのボダイ部をゲート電極に接続したときの、ソース・ゲート間電圧対しきい値電圧特性を示すグラフ、(B) はPMOSFETのボダイ部をゲート電極に接続したときの、ソース・ゲート間電圧対しきい値電圧特性を示すグラフである。

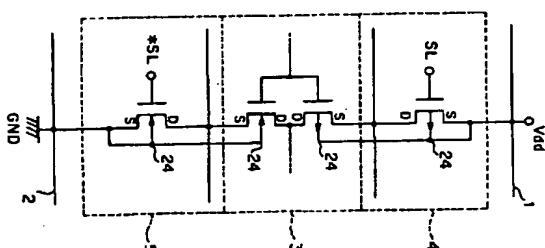
【図10】第2実施例と一部類似した構成を有する従来回路を示す図である。

【符号の説明】

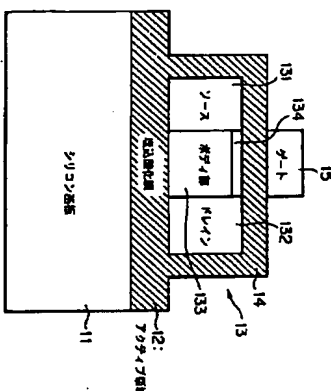
1 高電圧電極線

- |                 |                  |
|-----------------|------------------|
| 2 低電圧電極線        | 42 低電圧電極線        |
| 3 論理回路群         | 43 論理回路群         |
| 4 電源スイッチ用MOSFET | 44 電源スイッチ用MOSFET |
| 5 電源スイッチ用MOSFET | 45 電源スイッチ用MOSFET |
| 11 シリコン基板       | 131 ソース          |
| 12 埋込酸化膜        | 132 ドレイン         |
| 13 プラチナ領域       | 133 ボダイ部         |
| 14 ゲート酸化膜       | 133A ボダイ部        |
| 15 ゲート電極        | 133B ボダイ部        |
| 41 高電圧電極線       | 134 チャネル部        |

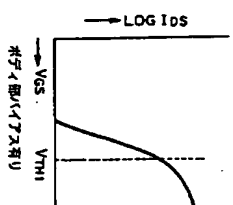
【図1】



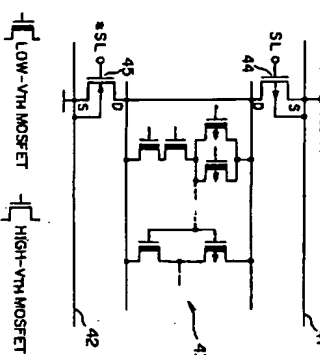
【図2】



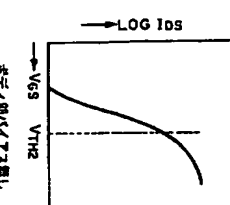
【図3】



ボダイ部バイアス有リ

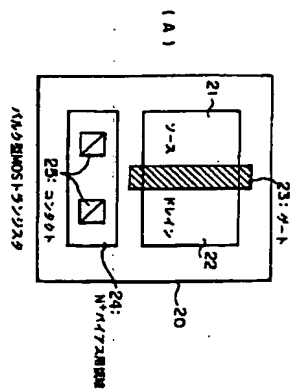


(B)

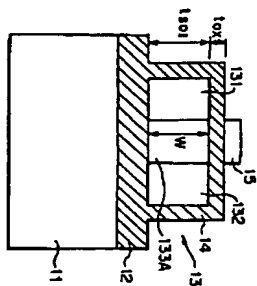


ボダイ部バイアス無し

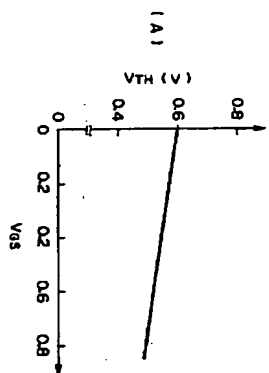
【図3】



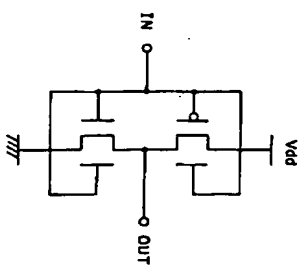
【図6】



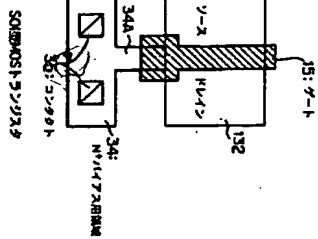
【図9】



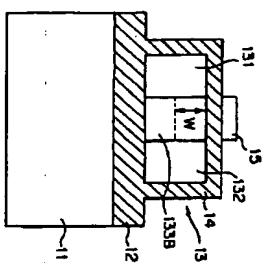
【図10】



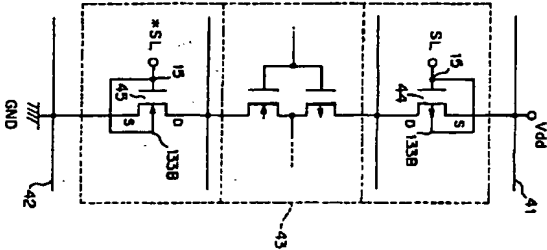
(B)



(B)



【図8】



【図7】

